

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-293322

(43)Date of publication of application : 04.11.1998

(51)Int.Cl.

G02F 1/136
G02F 1/1333

(21)Application number : 09-103224

(71)Applicant : CANON INC

(22)Date of filing : 21.04.1997

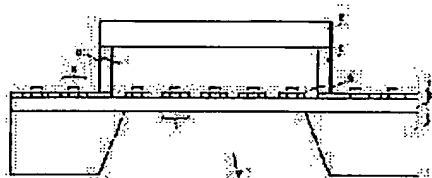
(72)Inventor : KUNIYONE KAZUO
YAMAGATA KENJI
YONEHARA TAKAO

(54) LIQUID CRYSTAL DISPLAY AND MANUFACTURE THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display not causing a malfunction by the light, integrally molded with a driving circuit.

SOLUTION: This liquid crystal display has a picture element switch 3 composed of a nonmonocrystal semiconductor in a position where data wiring and scanning wiring in an image display part cross each other and has an active matrix base board having a peripheral driving circuit 4, which drives the picture element switch and is composed of a monocrystal semiconductor, on a periphery of the image display part and a counter base board 8 opposed to the active matrix base board through a liquid crystal material 10. The picture element switch 3 and the peripheral driving circuit 4 are formed on base boards 1 and 2 on which at least a surface has insulating performance. Therefore, the switch 3 of a picture element part composed of a polycrystal semiconductor, does not cause a malfunction by the light, and becomes highly reliable. Therefore, a high definition liquid crystal display can be provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-293322

(43)公開日 平成10年(1998)11月4日

(51)Int.Cl. ⁶		識別記号		F I	
G 0 2 F	1/136	5 0 0		G 0 2 F	1/136 5 0 0
	1/1333	5 0 0			1/1333 5 0 0

審査請求 未請求 請求項の数 6 O L (全 17 頁)

(21)出願番号 特願平9-103224

(22)出願日 平成9年(1997)4月21日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 國米 和夫

東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

(72)発明者 山方 憲二

東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

(72)発明者 米原 隆夫

東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

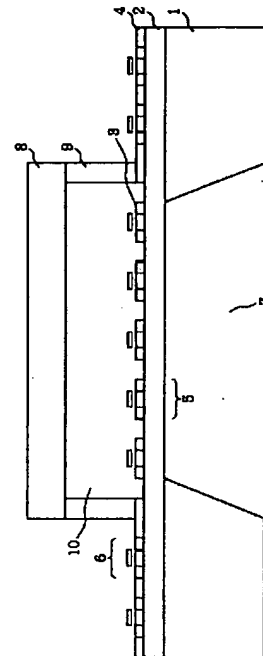
(74)代理人 弁理士 丸島 徹一

(54)【発明の名称】 液晶表示装置およびその製造方法

(57)【要約】

【課題】 光によって誤動作することのない駆動回路と一体形成型の液晶表示装置を提供する。

【解決手段】 画像表示部中のデータ配線と走査配線が交わる位置に非単結晶半導体からなる画素スイッチ3を備え、前記画像表示部の周囲に、前記画素スイッチを駆動し単結晶半導体からなる周辺駆動回路4を備えるアクティブマトリックス基板と、前記アクティブマトリックス基板に液晶材料10を介して対向する対向基板8とを有する液晶表示装置において、前記画素スイッチ3と前記周辺駆動回路4は、少なくとも表面が絶縁性である基板1、2上に形成されている。このため、多結晶半導体からなる画素部のスイッチ3は、光によって誤動作することない信頼性の高いものになる。このため、高精細な液晶表示装置が提供できる。



【特許請求の範囲】

【請求項1】 画像表示部中のデータ配線と走査配線が交わる位置に非単結晶半導体からなる画素スイッチを備え、前記画像表示部の周囲に、前記画素スイッチを駆動し単結晶半導体からなる周辺駆動回路を備えるアクティブマトリックス基板と、前記アクティブマトリックス基板に液晶材料を介して対向する対向基板とを有する液晶表示装置において、
前記画素スイッチと前記周辺駆動回路は、少なくとも表面が絶縁性である基板上に形成されていることを特徴とする液晶表示装置。

【請求項2】 前記少なくとも表面が絶縁性である基板は、石英基板である請求項1に記載の液晶表示装置。

【請求項3】 前記少なくとも表面が絶縁性である基板は、表面に絶縁層を有する半導体基板である請求項1に記載の液晶表示装置。

【請求項4】 画像表示部中のデータ配線と走査配線が交わる位置に非単結晶半導体からなる画素スイッチを備え、前記画像表示部の周囲に、前記画素スイッチを駆動し単結晶半導体からなる周辺駆動回路を備えるアクティブマトリックス基板と、前記アクティブマトリックス基板に液晶材料を介して対向する対向基板とを有する液晶表示装置の製造方法において、
前記アクティブマトリックス基板を製造する工程は、半導体基板の表面に多孔質半導体層を形成し、前記多孔質半導体層の表面に非多孔質半導体層を形成し、前記非多孔質半導体層の表面に絶縁層を形成し、前記半導体基板と前記多孔質半導体層を除去する工程と、
前記非多孔質半導体層に前記周辺駆動回路を形成し、前記画像表示部の非多孔質半導体層を取り除き、前記絶縁層上に前記画素スイッチを形成する工程とを有することを特徴とする液晶表示装置の製造方法。

【請求項5】 前記非多孔質半導体層の表面に絶縁層を形成するときは、石英基板を貼り合わせる請求項4に記載の液晶表示装置の製造方法。

【請求項6】 前記非多孔質半導体層の表面に絶縁層を形成するときは、表面に絶縁層を有する半導体基板を貼り合わせる請求項4に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はガラス基板または、絶縁性の半導体基板上に形成される高精細、高画素のアクティブマトリックス型液晶表示装置とその製造方法を提供することを目的とする。

【0002】

【従来の技術】 表示装置は従来CRTを中心として広く用いられてきたが、近年液晶表示の平面ディスプレイがかなり普及してきた。比較的大型の液晶表示装置は、対向する2枚の平行平板ガラスに各々ストライプ状の電極を設け、電極が直交して向き合うように2枚の板が配置

され、この隙間に液晶を注入されてなる所謂単純マトリックス型が多く採用されている。この場合画素領域に電圧をかけるための駆動ICは、半導体基板上に形成されたICチップを後からガラス基板に接着することになる。

【0003】 一方小型高精細の液晶表示装置では、各画素毎にスイッチングトランジスタを設けるアクティブマトリックス型の表示装置が必要となってくる。現在ビデオ一体型カメラに搭載されている電子ビューファインダー(EVF)などは、ほぼ全てがこのタイプとなっている。このアクティブマトリックス型の液晶表示装置について説明する。

【0004】 図15に従来用いられてきたアクティブマトリックス液晶表示装置の駆動回路の概略的構成図を示した。401は画素スイッチ、405は液晶画素、406は透明基板、402はバッファ部、403は水平シフトレジスタ部、404は垂直シフトレジスタ部を各々示す。テレビの輝度信号や音声信号はある帯域に圧縮され、その周波数に追従できる駆動能力を持った水平シフトレジスタ403に依って駆動し、バッファ部402に送られる。次に垂直シフトレジスタ404によって画素スイッチ401がONしている期間に液晶に信号が転送される。407は、垂直シフトレジスタ404から画素スイッチ401に走査信号を送る走査配線である。408は、バッファ部402から、輝度信号を送るデータ配線である。

【0005】 各回路に要求される性能は、高品位テレビについて考えるならばフレーム周波数60Hz、走査線本数約1000本、水平走査期間約30μsec。(有効走査期間27μsec.)、水平画素数約1500個とすると、テレビ信号は約45MHzの周波数でバッファ部に転送されてくる。従って各要素回路に要求される性能としては、

1) 水平シフトレジスタの駆動能力は、45MHz以上。

2) 垂直シフトレジスタの駆動能力は、500kHz以上。

3) 水平レジスタで駆動され、テレビ信号をバッファ部に転送するトランスファースwitchの駆動能力は45MHz以上。

4) 画素スイッチの駆動能力は500kHz以上。

ということになる。ここでいう駆動能力とは、液晶画素にある階調数Nを出そうとした場合、液晶の最大または最小の透過率を与える電圧を V_m 、 $V-T$ 曲線(電圧-透過率曲線)から得られる液晶の閾値電圧を V_t とすると、上記期間内に $(V_m - (V_m - V_t)/N)$ [V]以上の電圧が転送されることを意味する。

【0006】 これから明らかなように、画素スイッチ及び垂直シフトレジスタは、比較的駆動能力は小さくても良いが、水平シフトレジスタ及びバッファ部は高

速の駆動を必要とされる。前述したように従来は画素スイッチや垂直シフトレジスタは、ガラス基板上に堆積された多結晶やアモルファスシリコンTFTで液晶とモノリシックに形成し、その他の周辺回路はICチップを外から実装することで対応してきた。しかし画面のサイズが段々小さくなってゆくと、駆動回路外付けすることが困難になってくる。特に画面の解像度を上げるために画素数を増やしていった場合、駆動用ICと各スイッチングトランジスタへの信号線をワイヤーボンディングで接続するのは、コストの面でも不利である上に技術的にも極めて困難になってくる。

【0007】現在では多結晶シリコンによって周辺回路までモノリシックに形成しようとする試みはなされているが、個々のTFTの駆動能力が小さいため、トランジスタサイズを大きくしたり、回路上複雑な工夫が必要となっている。もし周辺回路の駆動能力を多結晶シリコンを用いた場合以上に高めようとするならば、これは単結晶シリコンを使うより他にない。しかしガラス基板上に単結晶薄膜を均一な膜厚で制御性良く形成する技術はあまり報告されていない。報告例の中でガラス基板上に高品質な単結晶シリコン薄膜を提供したものとして、ウェハの貼り合わせ技術と多孔質シリコンの選択エッチング技術を用いた方法（特開平5-21338）がある。

【0008】

【発明が解決しようとする課題】透明基板や絶縁性の半導体基板上に単結晶シリコン薄膜が形成でき、それを利用した液晶表示装置でスイッチングトランジスタと周辺回路をモノリシックに作り込めたとしても、別の問題点が発生する可能性がある。それは単結晶シリコンという材料は画素スイッチングトランジスタとしてはオーバースペックであるだけでなく、逆に光（例えば液晶表示のバックライト）をあてたときに層内で光キャリアを生成して、トランジスタがOFF状態であるにも関わらず電流を発生させる、所謂光リークを生じてしまうことである。このため全ての画素がON状態と同じようになり、結果として画面が白くなってしまうのである。

【0009】つまり、上記したように半導体層中の電荷移動度が大きいほど、半導体素子を高速で駆動することが可能であるが、半導体層中の電荷移動度が大きいほど、TFTのOFF時のリーク電流は増加してしまう。このことは外部からTFTに入射する光によって励起される光リーク電流が増大してしまうという問題点を生じる。上記の非晶質シリコンTFTの場合、OFF時のリーク電流は $10^{-11} \sim 10^{-13}$ A程度であるのに対して、多結晶シリコンTFTの場合、OFF時のリーク電流は $10^{-9} \sim 10^{-10}$ A程度となる。これは多結晶シリコンの比抵抗が非晶質シリコンに比べて低いことに起因している。多結晶シリコンTFTの場合デュアルゲートやLDD方式を採用するなどTFT構造に改良を加えて用いられているのが現状であり、従って多結晶シリコンTFT

Tよりも比抵抗が低く、OFF時のリーク電流の大きい単結晶シリコンTFTにおいては、さらに複雑な工夫が必要となってくる。上記した光リーク電流の増大は、例えば輝度 $3000 \sim 4000 \text{ cd/m}^2$ のバックライトによって、照度 $1400 \sim 1600 \text{ LX}$ となった光透過型TFTアクティブマトリクス液晶表示装置において、TFTとして多結晶シリコン素子を用いた場合は、100:1以上のコントラストを得ることができるが、単結晶シリコン素子（SOI素子）を用いた場合は、70~80:1程度のコントラストしか得ることができなくなるなど、表示品位上の問題点を生じる場合がある。

【0010】本発明では上記問題点を鑑み、ガラスのような透明基板または、絶縁性の半導体基板上で、駆動能力の高い周辺回路と、光リークのない画素スイッチングトランジスタをモノリシックに形成する技術を提供し、更に高密度、高精細な液晶表示装置とその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】以上に挙げた問題を解決するために、本発明者が鋭意努力した結果、以下の発明を得た。すなわち、本発明の液晶表示装置は、画像表示部中のデータ配線と走査配線が交わる位置に非単結晶半導体からなる画素スイッチを備え、前記画像表示部の周囲に、前記画素スイッチを駆動し単結晶半導体からなる周辺駆動回路を備えるアクティブマトリクス基板と、前記アクティブマトリクス基板に液晶材料を介して対向する対向基板とを有する液晶表示装置において、前記画素スイッチと前記周辺駆動回路は、少なくとも表面が絶縁性である基板上に形成されていることを特徴とする。ここで、前記少なくとも表面が絶縁性である基板は、石英基板であっても、表面に絶縁層を有する半導体基板であってもいい。

【0012】また、本発明は液晶表示装置の製造方法の発明も含む。すなわち、本発明の液晶表示装置の製造方法は、画像表示部中のデータ配線と走査配線が交わる位置に非単結晶半導体からなる画素スイッチを備え、前記画像表示部の周囲に、前記画素スイッチを駆動し単結晶半導体からなる周辺駆動回路を備えるアクティブマトリクス基板と、前記アクティブマトリクス基板に液晶材料を介して対向する対向基板とを有する液晶表示装置の製造方法において、前記アクティブマトリクス基板を製造する工程は、半導体基板の表面に多孔質半導体層を形成し、前記多孔質半導体層の表面に非多孔質半導体層を形成し、前記非多孔質半導体層の表面に絶縁層を形成し、前記半導体基板と前記多孔質半導体層を除去する工程と、前記非多孔質半導体層に前記周辺駆動回路を形成し、前記画像表示部の非多孔質半導体層を取り除き、前記絶縁層上に前記画素スイッチを形成する工程とを有することを特徴とする。ここで、前記非多孔質半導体層の表面に絶縁層を形成するとき、石英基板を貼り合わせ

ても、表面に絶縁層を有する半導体基板を貼り合わせてもいい。

【0013】

【発明の実施の形態】

（実施形態1）先ず本発明の中で透明基板上に単結晶シリコン薄膜を形成する方法について図1～図3を用いて説明する。

【0014】（図1（a））単結晶シリコン基板100を陽極化成して多孔質シリコン101を形成する。このとき多孔質化する厚みは、基板の片側表面層数 μm ～数十 μm でよい。また基板全体を陽極化成してもかまわない。多孔質シリコンの形成方法については、図3を用いて説明する。まず基板としてP型の単結晶シリコン基板300を用意する。N型でも不可能ではないが、その場合は低抵抗の基板に限定されるか、または光を基板表面に照射してホールの生成を促進した状態で行なわなければならない。基板300を図3（a）に示すような装置にセッティングする。即ち基板の片側がフッ酸系の溶液304に接していて、溶液側に負の電極306がとられており、逆側は正の金属電極305に接している。図3（b）に示すように、正電極側305'も溶液304'を介して電位をとってもかまわない。いずれにせよフッ酸系溶液に接している負の電極側から多孔質化が起こる。フッ酸系溶液304としては、一般的には濃フッ酸（49%HF）を用いる。純粋（ H_2O ）で希釈していくと、流す電流値にもよるが、ある濃度からエッチングが起こってしまうので好ましくない。また陽極化成中に基板300の表面から気泡が発生してしまい、この気泡を効率よく取り除く目的から、界面活性剤としてアルコールを加える場合がある。アルコールとしてメタノール、エタノール、プロパノール、イソプロパノール等が用いられる。また界面活性剤の代わりに攪はん器を用いて、溶液を攪はんしながら陽極化成を行ってもよい。負電極306に関しては、フッ酸溶液に対して侵食されないような材料、例えば金（Au）、白金（Pt）等が用いられる。正側の電極305の材質は一般に用いられる金属材料でかまわないが、陽極化成が基板300すべてになされた時点で、フッ酸系溶液304が正電極305に達するので、正電極305の表面にも耐フッ酸溶液性の金属膜をコーティングしておくともよい。陽極化成を行う電流値は最大数百 mA/cm^2 であり、最小値は零でなければよい。この値は多孔質化したシリコンの表面に良質のエピタキシャル成長ができる範囲内で決定される。通常電流値が大きいと陽極化成の速度が増すと同時に、多孔質シリコン層の密度が小さくなる。即ち孔の占める体積がおおきくなる。これによってエピタキシャル成長の条件が変わってくるのである。

【0015】（図1（b））以上のようにして形成した多孔質層101上に、非多孔質の単結晶シリコン層102をエピタキシャル成長する。エピタキシャル成長は一

般的な熱CVD、減圧CVD、プラズマCVD、分子線エピタキシー、スパッタ法等で行なわれる。成長する膜厚は活性層厚の設計値と同じくすれば良い。

【0016】（図1（c））エピタキシャル層102の表面を酸化（103）する。これはエピタキシャル層を次の工程で直接支持基板と貼り合わせた場合、貼り合わせ界面には不純物が偏析しやすく、また界面の原子の非結合手（ダングリングボンド）が多くなり、薄膜デバイスの特性を不安定化させる要因になるからである。但し必ずしもこの工程は必須ではなく、上記現象が問題とならないようなデバイス構成を考えるならば省略してもかまわない。

【0017】尚酸化する場合酸化膜厚は、貼り合わせ界面に取り込まれる大気中からのコンタミネーションの影響を受けない程度の厚みがあれば良い。

【0018】（図1（d））上記表面が酸化されたエピタキシャル面有する基板100と、支持基板となる透明絶縁性基板110を用意し、両基板を洗浄した後に貼り合わせる。支持基板110は石英ガラス、結晶化ガラス、その他の高耐熱ガラスなどが挙げられる。洗浄方法は通常の半導体基板を（例えば酸化前に）洗浄する工程に準じて行なう。貼り合わせた後に基板を全面で加圧すると、接合の強度を高める効果がある。

【0019】そして次に貼り合った基板を熱処理する。熱処理温度は高い方が好ましいが、あまり高すぎると多孔質層101が構造変化をおこしてしまったり、基板に含まれていた不純物がエピタキシャル層に拡散することがあるので、これらをおこさない温度と時間を選択する必要がある。具体的には600～1100℃程度が好ましい。また基板によっては高温で熱処理できないものがある。例えば支持基板110が石英ガラスである場合には、シリコンと石英の熱膨張係数の違いから、200℃程度の以下の温度でしか熱処理できない。この温度を越えると貼り合わせた基板が応力で剥がれたり、または割れたりしてしまう。ただし熱処理は後の工程で行なうバルクシリコン100の研削やエッチングの際の応力に耐えられれば良い。従って200℃以下の温度であっても活性化の表面処理条件を最適化することでプロセスは行なえる。

【0020】（図1（e））次にエピタキシャル成長層102を残してシリコン基板部分100と多孔質部分101を選択的に除去する。まずシリコン基板部分100は表面グラインダー等により研削するか、或いは水酸化カリウム、アンモニア水等のアルカリ溶液、或いはTMAH（テトラメチルアンモニウムハイドロオキシド）等の有機アルカリ溶液で除去する。エッチングの場合は80℃以上の温度溶液中で行なうのが効果的である。アルカリ系の溶液は SiO_2 を殆どエッチングしないので、支持基板がガラスであれば、シリコン基板部分のみを選択的にエッチングできる。また、フッ酸と硝酸、も

しくはこれに酢酸等を加えた酸混合液でエッチング除去することも可能である。但しフッ酸硝酸系エッチャントは支持基板をも多少エッチングするので、長時間の使用は避けた方がよい。

【0021】シリコン基板部分100をエッチングし、多孔質部分101が露出した時点でエッチングを一旦終了し、露出した多孔質部分101は、フッ酸/過酸化水素水の混合溶液、またはアルカリ溶液を用いて選択エッチングを行なう。このときのエッチング液の濃度を適切に制御することで、多孔質シリコンと単結晶シリコンのエッチング選択比が、最大10万倍程度とれる。液濃度はフッ酸系の場合、フッ酸濃度が数%から数ppm、好ましくは0.1%から10ppm程度である。またアルカリ系の場合、アンモニア、TMAH（テトラメチルアンモニウムヒドロキシド）、エチレンジアミン等が挙げられるが、各々フッ酸系の時と同様の濃度でエッチングするのが好ましい。エッチングの際に多孔質の孔内にエッチング液を効率良く浸透し、エッチングを促進すると同時に均一なエッチングを行なうために超音波洗浄装置を用いるとよい。但し超音波によってエッチング速度が若干上昇するので注意が必要である。

【0022】次に上記工程によって得られた基板に液晶表示装置を形成する手順を図2を用いて説明する。

【0023】（図2（a））単結晶シリコン薄膜202を備えた透明基板210で、液晶表示装置の周辺回路にあたる部分のトランジスタ以外の領域と、画素領域にあたる部分の全てをエッチングする。つまり周辺回路のトランジスタはメサ分離する。これはLOCOS等でトランジスタを分離した場合、膜の連続部分の面積が大きくなり、ガラス基板とシリコン膜の熱膨張係数の大きな違いから、その内部応力により薄膜にスリップやクラックが発生してしまうからである。もし単結晶シリコン膜が数百オングストロームの超薄膜であるか、もしくはプロセス全体が低温プロセスで成り立っているならば、応力の絶対値が抑えられる方向にあるのでメサ分離でなくても構わない。

【0024】（図2（b））画素領域のスイッチングトランジスタを形成するために、非晶質もしくは多結晶シリコン203を堆積する。堆積方法としては減圧CVD、スパッタ等が用いられる。

【0025】（図2（c））画素スイッチングトランジスタ以外の領域に堆積された非晶質もしくは多結晶シリコンをエッチングする。

【0026】（図2（d））通常の半導体プロセスにより、周辺駆動回路204、画素スイッチングトランジスタ205を各々形成する。

【0027】（図2（e））液晶206を封入し、実装する。

【0028】以上の工程を行なうことにより、透明ガラス基板上の単結晶薄膜に周辺回路を、非単結晶薄膜に画

素トランジスタを各々備えた、高駆動能力の液晶表示装置が作成できるようになった。

【0029】（実施形態2）図4は本発明による液晶表示装置の実施形態2を示す断面図である。ここでシリコン基板1上には絶縁層2が形成されており、絶縁層2上には非晶質シリコン層3および単結晶シリコン層4が形成されている。非晶質シリコン層3上には非晶質シリコン素子5が少なくとも1つ以上設けられており、単結晶シリコン層4上には単結晶シリコン素子6が少なくとも1つ以上設けられている。この非晶質シリコン素子5と単結晶シリコン素子6とは電気的に接続されている。非晶質シリコン層3の形成されている部分の直下にはシリコン基板1の除去された絶縁層2の露出した開口部7が設けられている。さらに非晶質シリコン素子5と対向して配置されたカバーガラス8と、周囲の封止材9とで中に液晶10を封入している。ここでは非晶質シリコン素子5をTFTとした。

【0030】図4に示す半導体装置は透過型TFTアクティブマトリクス液晶表示装置である。上記構成において、外部から入射した光が液晶層を透過することで、液晶の表示が可視化される。なお、液晶表示装置ではこの他配向膜、画素電極、対向電極、フィルタ、偏光板などが必要であるが、ここでは省略している。

【0031】図5、6は本実施形態に示す液晶表示装置の製造方法を表す工程図である。ここで1～10は図4と同一である。図5における工程は以下の通りである。

（a）シリコン基板1上に絶縁層2を形成する。（b）絶縁層2のパターニングを行って、シリコン基板1の一部を露出した後、非晶質シリコン層3を積層する。

（c）シリコン基板1の露出部より非晶質シリコン層3の再結晶化を行う。ただし、非晶質シリコン層3の全ては再結晶化せず、絶縁層2上には非晶質シリコン層3と単結晶シリコン層4を形成する。（d）非晶質シリコン層3上および単結晶シリコン層4上に、非晶質シリコン素子5および単結晶シリコン素子6を形成する。ここでは非晶質シリコン素子5としてnMOSトランジスタ、単結晶シリコン素子6としてCMOSトランジスタのみを示した。また図示していないが、非晶質シリコン素子5と単結晶シリコン素子6とは金属電極で電気的に接続されている。これより後は、図6を使って説明する。

（a）非晶質シリコン素子5と対向してカバーガラス8を配置した後、液晶10を封入して周囲を封止材9で封止する。ここでは図示していないが、非晶質シリコン素子5上には透明絶縁膜、透明画素電極、配向膜などが形成されており、カバーガラス8上には透明絶縁膜、透明対向電極、配向膜、フィルタなどが形成されている。同様に図示していないが、単結晶シリコン素子6上には絶縁保護膜が形成されている。（b）シリコン基板1の一部を除去して、非晶質シリコン素子5直下に開口部7を設ける。これにより、非晶質シリコン素子5の形成され

た領域は光透過性となる。以上の工程によって、図1に示す透過型TFTアクティブマトリクス液晶表示装置を得ることができる。

【0032】図5、6に示す工程を用いて、具体的に上記の半導体装置を作製した一例を以下に示す。面方位<100>、直径125mm、厚さ625 μ m、比抵抗0.1 Ω cmのP型シリコンウエハ上に、熱酸化によって酸化膜を形成する。ここでは酸素/水素混合気体($O_2:H_2=4:6$)中で温度1000 $^{\circ}C$ 、酸化速度4.3nm/minの条件下で行って、厚さ1.0 μ mの酸化膜を形成した(パイロジェニック酸化)。次にRIE(リアクティブイオンエッチング)によって酸化膜のパターニングを行って、p型シリコンウエハの一部を露出した後、減圧CVD法によって非晶質シリコン層を積層する。ここでは温度570 $^{\circ}C$ 、圧力18Torr、 Si_2H_6 流量10sccm、 N_2 流量3slm、 N_2 で10%に希釈したPhを添加して、堆積速度110nm/minの条件下で厚さ0.2 μ mのp型非晶質シリコン層を積層した。このときp型非晶質シリコン層中のPh濃度は $1 \times 10^{11} cm^{-2}$ であった。

【0033】続いて非晶質シリコン層に直径50 μ mのアルゴンレーザのパルスビームを照射して、p型シリコンウエハの露出部より非晶質シリコン層を熔融した後、再結晶化を行って、酸化膜上に厚さ0.2 μ mの単結晶シリコン層を形成する。このとき再結晶化されるのは周辺駆動回路を形成する部分のみであり、画素スイッチング素子を形成する部分(液晶表示部分)は再結晶化は行わず、非晶質シリコン層のままとする。この後、公知の半導体集積回路製造プロセスを用いて、非晶質シリコン層上にnMOS構成で画素スイッチング素子を、単結晶シリコン層上にCMOS構成で周波駆動回路を形成する。ここではMOSトランジスタをゲート・セルフアラインによるコプラナ構造とした。ゲート酸化膜はドライ酸化によって温度1150 $^{\circ}C$ 、酸化速度3.4nm/minの条件下で形成し、厚さを50nmとした。続いて厚さ440nmの多結晶シリコン層を堆積した後、異方性ドライエッチングを行ってゲート電極を形成する。ここでは減圧CVD法を用いて、温度656 $^{\circ}C$ 、圧力0.25Torr、 SiH_4 および H_2 の混合気体中で、 SiH_4 分圧0.15Torr、堆積速度300nm/minの条件下で行った。

【0034】この後、イオン注入を行ってMOSトランジスタのソース・ドレイン領域を形成する。ここでは画素スイッチング素子についてはドーズ量 $2 \times 10^{15} cm^{-2}$ のAsイオンを注入してnMOSTランジスタのソース・ドレイン領域を形成し、周辺駆動回路についてはドーズ量 $1 \times 10^{16} cm^{-2}$ のAsイオンを注入してnMOSTランジスタのソース・ドレイン領域を形成し、ドーズ量 $2 \times 10^{15} cm^{-2}$ の BF_3 イオンを注入してpMOSTランジスタのソース・ドレイン領域を形成した。イ

オン注入後には窒素中で1000 $^{\circ}C$ 、10分間の熱処理が行われている。続いて厚さ500nmのBPSG膜(Boron-Phospho Silicate Glass)を積層した後、異方性ドライエッチングを行ってコンタクトホールを形成する。さらに、アルミニウムなどの金属電極材料をスパッタ法により堆積して、所定の配線形状にドライエッチングを行って配線部を形成する。

【0035】続いてITOなどの透明電極材料により、容量部分ともなる画素電極を形成した後、透明絶縁膜で表面全体を覆う。その後、公知の液晶表示装置組立プロセスを行って、液晶セルを作製する。最後に90 $^{\circ}C$ のTMAH(テトラメチルアンモニウムハイドロキサイド)による異方性エッチングを行って、p型シリコンウエハの一部を除去する。ここで熱酸化膜はエッチングストップ層となる。これにより液晶部分は光透過性となる。

【0036】実施形態2に示す透過型TFTアクティブマトリクス液晶表示装置は、従来より高性能の周辺駆動回路を一体化して搭載することが可能となる。

【0037】本実施形態に示す透過型TFTアクティブマトリクス液晶表示装置の製造方法については、上記した具体例に限定されことなく、さまざまな方法、条件を適用することが可能である。例えば、非晶質シリコン層は上記した減圧CVD法、グロー放電法、アーク放電法、反応性スパッタ法、熱CVD法、光CVD法、プラズマCVD法、蒸着法などを用いて積層することが可能である。積層条件としては、例えばグロー放電法では SiH_4 、 Si_2H_6 、 $SiCl_4$ などを用いることが可能である。この場合、 SiH_4 では圧力0.5~2.0Torr、温度250~350 $^{\circ}C$ 、グロー発振周波数50~450Hzの範囲で非晶質シリコン層を積層することが可能である。また非晶質シリコンの他、多結晶シリコンを堆積した後、再結晶化を行うことも可能である。積層方法としては、常圧CVD法、減圧CVD法、プラズマCVD法などを用いることが可能である。この場合、例えば減圧CVD法では圧力0.1~5.0Torr、温度450~900 $^{\circ}C$ で SiH_4 、 Si_2H_6 、 SiH_2Cl_2 などを水素または窒素で希釈して行うことが可能である。 SiH_4 を窒素で希釈する場合、 SiH_4 濃度は20~30%の範囲で行うことが可能である。また SiH_4 の熱分解を利用して多結晶シリコン層を積層する場合は、 SiH_4 を希釈する必要はない。

【0038】単結晶シリコン層の形成は、本実施形態ではアルゴンレーザのパルスビームを照射して行っているが、CWレーザビーム、Qスイッチパルスレーザビーム、KrFやXeClなどのエキシマレーザビーム、電子線ビームなどを用いることも可能である。これは多結晶シリコン層の単結晶化を行う場合にも同様に適用することが可能である。また上記したレーザアニール固相成長法、熱処理による固相成長法で非晶質シリコン層

または多結晶シリコン層の単結晶化を行うことも可能である。この場合、非晶質シリコン層は温度500～1200℃の範囲で、多結晶シリコン層は温度800～1200℃の範囲で、水素中または窒素中で赤外線ランプまたはストリップヒータにより加熱して、単結晶化を行うことが可能である。酸化膜の形成は上記した熱酸化の他、常圧CVD法、減圧CVD法、プラズマCVD法を用いることが可能である。熱酸化では上記したパイロジェニック酸化の他、ドライ酸化、ウェット酸化、スチーム酸化、塩酸などを用いたハロゲン酸化などを行うことが可能である。CVD法ではTEOS (tetraethoxysilane) を用いることも可能である。

【0039】画素スイッチング素子についてはpMOSトランジスタを用いることも可能である。周辺駆動回路についてはCMOS構成の他、さらに駆動能力を向上するためにバイポーラ・トランジスタを含むBi-CMOS構成とすることも可能である。細部の作製条件および方法については、作製される液晶表示装置に要求される性能を満たすことができるものを自由に採用することが可能である。シリコン基板のエッチングについては、上記したTMAHの他、EDP (エチレンジアミンピロカテコール)、ヒドラジン水溶液、KOH溶液 (KOH/イソプロパノール、KOH/ヒドラジン混合溶液など) などのアルカリ性溶液を用いることが可能である。

【0040】また本実施形態では液晶表示部分はシリコンウエハ上に形成された空洞のままであるが、この部分にシリコンゴム、エポキシ樹脂あるいはシリコン酸化膜、シリコン窒化膜などの光透過性絶縁材を充填または堆積することで、液晶表示部分の力学的強度を向上させることも可能である。

【0041】ここで液晶表示部分の力学的強度についてさらに詳しく述べる。図4に示す透過型TFTアクティブマトリクス液晶表示装置では、図6(b)に示すように液晶表示部分直下のシリコン基板を除去した場合、絶縁膜2にある程度の引っ張り応力がかかっていなければならない。ここで絶縁膜2に過大な圧縮応力がかかっていると、液晶表示部分直下のシリコン基板を除去した場合、絶縁膜2にシワがよってしまったり、注入された液晶の重みによって絶縁膜2がたれてしまい、セル厚が不均一になってしまうなどの問題点を生じてしまう。また逆に絶縁膜2に過大な引っ張り応力がかかっていると、液晶表示部分直下のシリコン基板を除去した場合、絶縁膜2にクラックが入ってしまうなどの問題点を生じてしまう。従って本実施形態に示す透過型液晶表示装置の場合、画素スイッチング素子などの形成されている絶縁膜2にかかる応力の制御が非常に重要となる。

【0042】本実施形態では絶縁膜として酸化膜を用いているが、窒化膜および酸化膜と窒化膜の積層膜を用いることも可能である。例えば窒化膜を400nm積層した場合、この窒化膜には引っ張り応力がかかり、その反

り量は約30μmであった。液晶表示領域が対角0.7インチ、セル厚4μmの透過型TFTアクティブマトリクス液晶表示装置では、TFTアレイ基板には引っ張り応力がかかっており、その反り量が0～100μmの範囲であればよい。絶縁膜として窒化膜を用いた場合、100～600nmの膜厚が必要となる。ただし、実際には絶縁膜上にTFTアレイが形成されるため、応力および反り量はTFTアレイを形成した状態で上記の範囲を満たすように設定しなければならない。なお反り量が100μmを越える場合、強度の引っ張りにより膜が割れてしまう。窒化膜の形成方法としては熱窒化法、常圧CVD法、減圧CVD法、プラズマCVD法などを用いることが可能である。

【0043】(実施形態3) 図7は本発明による液晶表示装置の実施形態3を示す断面図である。ここでシリコン基板1上には絶縁層2が形成されており、絶縁層2上には多結晶シリコン層12および単結晶シリコン層4が形成されている。多結晶シリコン層12上には多結晶シリコン素子13が少なくとも1つ以上設けられており、単結晶シリコン層4上には単結晶シリコン素子6が少なくとも1つ以上設けられている。この多結晶シリコン素子13上には画素電極11が形成されており、多結晶シリコン素子13と単結晶シリコン素子6とは電気的に接続されている。さらに多結晶シリコン素子13と対向して配置されたカバーガラス8と、周囲の封止材9とで中に液晶10を封入している。ここでは多結晶シリコン素子13をTFTとした。

【0044】図7に示す液晶表示装置は反射型TFTアクティブマトリクス液晶表示装置である。上記構成において、液晶層へ入射した光が画素電極で反射することで、液晶の表示が可視化される。なお、液晶表示装置ではこの他配向膜、対向電極、フィルタ、偏光板などが必要であるが、ここでは省略している。

【0045】図8、9は本実施形態に示す液晶表示装置の製造方法を表す工程図である。ここで1～13は図7と同一である。図8における工程は以下の通りである。

(a) シリコン基板1上に絶縁層2を形成する。(b) 絶縁層2のパターニングを行って、シリコン基板1の一部を露出した後、多結晶シリコン層12を積層する。

(c) シリコン基板1の露出部より多結晶シリコン層12の再結晶化を行う。ただし、多結晶シリコン層12の全ては再結晶化せず、絶縁層2上には多結晶シリコン層12と単結晶シリコン層4を形成する。(d) 多結晶シリコン層12上および単結晶シリコン層4上には、多結晶シリコン素子13および単結晶シリコン素子6を形成する。ここでは多結晶シリコン素子13としてpMOSトランジスタ、単結晶シリコン素子6としてCMOSトランジスタのみを示した。また図示していないが、多結晶シリコン素子13と単結晶シリコン素子6とは金属電極で電気的に接続されている。

【0046】多結晶シリコン素子13上に画素電極11を形成した後、多結晶シリコン素子13と対向してカバーガラス8を配置して、液晶10を封入した後周囲を封止材9で封止する(図9)。ここでは図示していないが、多結晶シリコン素子13上には透明絶縁膜、配向膜などが形成されており、カバーガラス7上には透明絶縁膜、透明対向電極、配向膜、フィルタなどが形成されている。同様に図示していないが、単結晶シリコン素子6上には絶縁保護膜が形成されている。これにより、多結晶シリコン素子13の形成された領域は光反射性となる。以上の工程によって、図7に示す反射型TFTアクティブマトリクス液晶表示装置を得ることができる。

【0047】実施形態3に示す反射型TFTアクティブマトリクス液晶表示装置は、従来より高性能の周辺駆動回路を一体化して搭載することが可能となる。

【0048】本実施例に示す反射型TFTアクティブマトリクス液晶表示装置の製造方法については、上記した具体例に限定されることなく、さまざまな方法、条件を適用することが可能である。本実施形態は、画素電極を光反射性材料で構成することと、シリコン基板のエッチングを行わないこと以外は実施形態1に示すと同様であり、従って上記以外の本実施形態の細部については実施形態2に示す同様の条件、方法を適用することが可能である。また絶縁膜については、実施形態2に示すような問題が生じないためその設計の自由度は大きくなる。

【0049】(実施形態4)図10は本実施形態4に示す液晶表示装置の製造方法の実施形態を示す工程図である。ここで1~13は図8、9と同一であり、14はSOI基板である。図10における工程は以下の通りである。(a) SOI基板14において、(b) パターニングを行って絶縁層2の一部を露出する。(c) 多結晶シリコン層12の積層およびパターニングを行って、絶縁層2上に多結晶シリコン層12を形成する。(d) 多結晶シリコン層12上および単結晶シリコン層4上に、多結晶シリコン素子13および単結晶シリコン素子6を形成する。ここでは多結晶シリコン素子13としてpMOSトランジスタ、単結晶シリコン素子6としてCMOSトランジスタのみを示した。また図示していないが、多結晶シリコン素子13と単結晶シリコン素子6とは金属電極で電気的に接続されている。この後は図6の工程によれば透過型TFTアクティブマトリクス液晶表示装置を、図5の工程によれば反射型TFTアクティブマトリクス液晶表示装置を得ることができる。

【0050】実施形態4に示す透過型もしくは反射型のTFTアクティブマトリクス液晶表示装置は、従来より高性能の周辺駆動回路を一体化して搭載することが可能となる。

【0051】SOI基板の作製法についてはイオン注入法、直接貼合法などが用いられている。イオン注入法はシリコン基板中にイオンを注入して絶縁層を埋込形成す

るものであり、特に酸素イオンを注入してSOI基板を作製する方法はSIMOX法とよばれて広く用いられている。また直接貼合法は2枚のシリコン基板を絶縁層を介して貼り合わせた後、一方のシリコン基板を薄層化して作製するものであり、薄層化の方法として研磨またはエッチングが用いられている。

【0052】本実施形態で用いるSOI基板はいずれの方法においても作製することが可能である。例えばイオン注入法を用いた場合シリコン基板中に酸素イオンを注入して酸化膜を、窒素イオンを注入して窒化膜を埋込形成することが可能であるから、絶縁層として酸化膜、窒化膜、およびそれらの積層体を用いることが可能である。直接貼合法を用いた場合、絶縁層についての制限はなく、形成法、膜厚などは作製される半導体装置の目的に応じて自由に選択することが可能である。貼合条件については大気中、酸素中、窒素中、アルゴンなどの不活性ガス中およびこれらのうちいずれかとの混合気体中、真空中、純水中などで行うことが可能である。貼合後熱処理条件については酸素中、窒素中、酸素・窒素混合気体中で、温度900~1200℃の範囲で自由に選択することが可能である。

【0053】本実施形態は、画素スイッチング素子および周辺駆動回路の形成以後の工程は、実施形態2または3に示すと同様であり、従って上記以外の本実施形態の細部については実施形態2または3に示す同様の条件、方法を適用することが可能である。また本実施形態では画素スイッチング素子として上記した3端子素子であるTFTの他、2端子素子で或るTFD(薄膜ダイオード、Thin Film Diode)を用いることも可能である。TFDは通常MIM(Metal-Insulator-Metal)構造をとるため、非晶質シリコン層や多結晶シリコン層を形成する必要はない。TFDでは下部電極としてTa、上部電極としてCrやTi、電極間の絶縁層としてTa₂O₅などを用いることが多い。デバイス構造では、TFD素子を並列に配置してスイッチング素子としての特性改善をはかったタンデム構造をとることも可能である。

【0054】(実施形態5)図11、12は液晶表示装置の実施形態5を示す工程図である。ここで1~13は図10と同一であり、15は絶縁体である。図11における工程は以下の通りである。(a) シリコン基板1と絶縁体15とを貼り合わせる。(b) シリコン基板1を薄層化して単結晶シリコン層4を形成した後、パターニングを行って絶縁体15の一部を露出する。(c) 多結晶シリコン層12の積層およびパターニングを行って、絶縁体15上に多結晶シリコン層12を形成する。

(d) 多結晶シリコン層12上および単結晶シリコン層4上に、多結晶シリコン素子13および単結晶シリコン素子6を形成する。ここでは多結晶シリコン素子13としてnMOSトランジスタ、単結晶シリコン素子6とし

てCMOSトランジスタのみを示した。また図示していないが、多結晶シリコン素子13と単結晶シリコン素子6とは金属電極で電氣的に接続されている。(図12)多結晶シリコン素子13と対向してカバーガラス8を配置した後、液晶10を封入して周囲を封止材9で封止する。ここでは図示していないが、多結晶シリコン素子13上には透明絶縁膜、透明画素電極、配向膜などが形成されており、カバーガラス8上には透明絶縁膜、透明対向電極、配向膜、フィルタなどが形成されている。同様に図示していないが、単結晶シリコン素子6上には絶縁保護膜が形成されている。以上の工程によって透過型TFTアクティブマトリクス液晶表示装置を得ることができる。

【0055】図11、12に示す工程を用いて、具体的に上記の液晶表示装置を作製した一例を以下に示す。面方位<100>、直径125mm、厚さ625 μ m、比抵抗0.1 Ω cmのp型シリコンウェハと、直径125mm、厚さ625 μ mの合成石英ガラスとを貼り合わせた後、熱処理を行って両者を完全に貼り合わせる。ここでは、窒素中でp型シリコンウェハと合成石英ガラスとを貼り合わせた後、窒素中で450 $^{\circ}$ C、2時間の熱処理を行って両者を完全に貼り合わせた。次にp型シリコンウェハを厚さ0.3 μ mまで薄層化した後、RIE(リアクティブイオンエッチング)によって単結晶シリコン層のパターニングを行って、合成石英ガラスの一部を露出する。ここではp型シリコンウェハを厚さ1.0 μ mまで研削研磨によって薄層化した後、圧力数Torr、加速電圧1eV以下のプラズマエッチングを行って、上記の厚さの単結晶シリコン層を得た。また、更に減圧CVD法によって多結晶シリコン層を積層する。ここでは

【0056】続いて多結晶シリコン層のパターニングを行う。この後、公知の半導体集積回路製造プロセスを用いて、多結晶シリコン層上にnMOS構成で画素スイッチング素子を、単結晶シリコン層上にCMOS構成で周辺駆動回路を構成する。この工程を含めて以降は、実施形態2中に示す具体例によって液晶表示装置の作製を行った。ただし、本実施形態ではシリコン基板の代わりに光透過性絶縁体である合成石英ガラスを用いており、実施形態2に示すシリコン基板のエッチング工程は省略される。

【0057】実施形態5に示す透過型TFTアクティブマトリクス液晶表示装置は、従来より高性能の周辺駆動回路を一体化して搭載することが可能となる。

【0058】本実施形態では絶縁体として合成石英ガラスを用いているが、他に熔融石英ガラス、高融点ガラス、ホウケイ酸ガラス、石英ガラスなどを用いることが

可能である。また貼合後の熱処理条件としては酸素中、窒素中、酸素・窒素混合気体中で、温度200~500 $^{\circ}$ Cの範囲で自由に選択することが可能である。

【0059】本実施形態は、単結晶シリコン基板と絶縁体との直接貼合法で作製されたSOI基板を用いる点およびシリコン基板のエッチングを行わずに透過型液晶表示装置を作製すること以外は実施形態4に示す直接貼合法による半導体装置の製造方法と同様であり、従って上記以外の本実施例の細部については実施形態4に示す同様の条件、方法を適用することが可能である。ただし本実施形態で作製されるのは透過型液晶表示装置のみである。

【0060】(実施形態6)図13、14は液晶表示装置実施形態6を示す工程図である。ここで1~13は図10と同一であり、16は第1のシリコン基板、17は高濃度不純物層、18は第2のシリコン基板、19はマスク材である。図13における工程は以下の通りである。(a)第1のシリコン基板16上にイオン注入を行って高濃度不純物層17を形成する。(b)高濃度不純物層17と第2のシリコン基板18とを貼り合わせた後、(c)第1のシリコン基板16を薄層化して単結晶シリコン層4を形成する。(d)第1のシリコン基板16のパターニングを行って、高濃度不純物層17の一部を露出する。(e)多結晶シリコン層12の積層およびパターニングを行って、高濃度不純物層17上に多結晶シリコン層12を形成する。(f)多結晶シリコン層12上および単結晶シリコン層4上に、多結晶シリコン素子13および単結晶シリコン素子6を形成する。ここでは多結晶シリコン素子13としてnMOSトランジスタ、単結晶シリコン素子6としてCMOSトランジスタのみを示した。また図示していないが、多結晶シリコン素子13と単結晶シリコン素子6とは金属電極で電氣的に接続されている。(g)第1のシリコン基板16上にマスク材19の積層およびパターニングを行った後、第1のシリコン基板16のエッチングを行って高濃度不純物層17の一部を露出する。(h)この露出部分より高濃度不純物層17の酸化を行って、絶縁層2を形成する。(i)多結晶シリコン素子13と対向してカバーガラス8を配置した後、液晶10を封入して周囲を封止材9で封止する。ここでは図示していないが、多結晶シリコン素子13上には透明絶縁膜、透明画素電極、配向膜などが形成されており、カバーガラス8上には透明絶縁膜、透明対向電極、配向膜、フィルタなどが形成されている。同様に図示していないが、単結晶シリコン素子6上には絶縁保護膜が形成されている。以上の工程によって透過型TFTアクティブマトリクス液晶表示装置を得ることができる。

【0061】図13、14に示す工程を用いて、具体的に上記の半導体装置を作製した一例を以下に示す。面方位<100>、直径125mm、厚さ625 μ m、比抵抗

抗 $20\Omega\text{cm}$ のp型シリコンウエハ上に、イオン注入を行って高濃度n型不純物層を形成する。p型シリコンウエハ表面に熱酸化によって厚さ 50nm の酸化膜を形成した後、Pイオンをドーズ量 $1\times 10^{11}\sim 1\times 10^{14}\text{cm}^{-2}$ 、加速電圧 $60\sim 100\text{keV}$ の範囲で注入し、窒素中で 1000°C 、1時間の熱処理を行うと、p型シリコンウエハ上に厚さ 500nm のn型不純物層が形成された。このn型不純物層と、面方位 $\langle 100 \rangle$ 、直径 125mm 、厚さ $625\mu\text{m}$ 、比抵抗 $30\Omega\text{cm}$ のp型シリコンウエハとを窒素中で貼り合わせた後、窒素中で 1100°C 、1時間の熱処理を行って両者を完全に貼り合わせた。続いて比抵抗 $20\Omega\text{cm}$ のp型シリコンウエハにより薄層化して厚さ $0.5\mu\text{m}$ の単結晶シリコン層を形成した。RIEによるドライエッチングで単結晶シリコン層のパターニングを行って、n型不純物層の一部を露出する。さらに減圧CVD法によって多結晶シリコン層を積層する。ここでは温度 656°C 、圧力 0.25Torr 、 SiH_4 および H_2 の混合気体中で、 SiH_4 分圧 0.15Torr 、堆積速度 $300\text{nm}/\text{min}$ の条件下で厚さ $0.2\mu\text{m}$ の多結晶シリコン層を積層した。続いて多結晶シリコン層のパターニングを行う。厚さ 500nm のBPSG膜(Boron-Phospho Silicate Glass)を積層した後、異方性ドライエッチングを行ってコンタクトホールを形成する。さらに、アルミニウムなどの金属電極材料をスパッタ法により堆積して、所定の配線形状にドライエッチングを行って配線部を形成する。

【0062】この後、公知の半導体集積回路製造プロセスを用いて、多結晶シリコン層上にnMOS構成で画素スイッチング素子を、単結晶シリコン層上にCMOS構成で周辺駆動回路を形成する。この工程を含めて以降は、実施形態2中に示す具体例によって液晶表示装置の作製を行った。続いて比抵抗 $30\Omega\text{cm}$ のp型シリコンウエハ上にマスク材として厚さ 20nm の窒化膜を形成した後レジストパターニングを行って比抵抗 $30\Omega\text{cm}$ のp型シリコンウエハの一部を露出する。この後 110°C のEDP(ここではエチレンジアミン7.5リットル、ピロカテコール1.2kg、水2.4リットルの混合液を用いた)による異方性電解エッチングを行って、このp型シリコンウエハの一部を除去する。ここでn型不純物層はエッチングストップ層となる。さらに熱酸化によってこのn型不純物層を選択的に酸化して、厚さ 500nm の酸化膜を形成する。

【0063】実施形態6に示す透過型TFTアクティブマトリクス液晶表示装置は、従来より高性能の周辺駆動回路を一体化して搭載することが可能となる。

【0064】本実施形態では、第1のシリコン基板/高濃度不純物層/第2のシリコン基板の組み合わせについては本実施形態に示す他、さまざまな組み合わせを適用することが可能である。例えば不純物層の濃度を 5×1

0^{10}cm^{-2} 以上とすればn型シリコンウエハ/n型不純物層/p型シリコンウエハ、p型シリコンウエハ/p型不純物層/n型シリコンウエハの組み合わせも可能である。またn型シリコンウエハ/p型不純物層/n型シリコンウエハの組み合わせも可能である。貼り合わせ条件については実施形態5に示す同様の条件を適用することが可能である。電解エッチングではEDPの他 KOH 、 TMAH などを用いることが可能である。

【0065】本実施形態は、単結晶シリコン基板を直接貼り合わせてシリコン基板のエッチングを行った後絶縁層を形成する点以外は実施形態4に示す直接貼合法による半導体装置の製造方法と同様であり、従って上記以外の本実施形態の細部については実施形態4に示す同様の条件、方法を適用することが可能である。

【0066】

【実施例】図1、図2及び図3を用いて本発明の実施形態1を使った詳細な実施例を説明する。

【0067】(実施例1)

(図1(a)) $625\mu\text{m}$ の厚みを持った5インチP型(100)単結晶シリコン基板($0.1\sim 0.2\Omega\text{cm}$)を用意し、これを図3-1に示すような装置にセットして陽極化成を行ない、シリコン基板100の表面を $20\mu\text{m}$ だけ多孔質シリコン101にした。この時の溶液304は49% HF 溶液を用い、電流密度は $1\text{mA}/\text{cm}^2$ であった。そしてこの時の多孔質化速度は約 $1\mu\text{m}/\text{分}$ であり、 $20\mu\text{m}$ の厚みの多孔質層は約20分で得られた。

【0068】(図1(b))前記多孔質シリコン101上にCVD法により、単結晶シリコン層102を $0.25\mu\text{m}$ エピタキシャル成長した。堆積条件は以下のとおりである。

【0069】使用ガス： SiH_4/H_2
ガス流量： $0.62/140(\text{l}/\text{min})$
温度： 850°C
圧力： 80Torr
成長速度： $0.12\mu\text{m}/\text{分}$

【0070】(図1(c))上記方法にて作成した基板を水蒸気雰囲気中 900°C の条件で処理し、 $0.1\mu\text{m}$ の酸化膜103を得た。

【0071】(図1(d))上記表面を酸化した基板と、予め用意しておいた5インチの石英基板110を酸・アンモニアを用いた系で洗浄し、スピン乾燥した後に処理面同士を貼り合わせた。その後ローラーにて貼り合わせた基板を加圧し、 120°C で24時間の熱処理を行った。

【0072】(図1(e))熱処理に約 $600\mu\text{m}$ あるシリコン基板部分100をフッ酸/硝酸/酢酸の1:1:10混合溶液でエッチングした。エッチングにてシリコン基板部分を除去するのは、基板貼り合わせ後の熱処理が高温でできないので、結合強度が弱く、研削など

のせん断応力に耐えられないからである。

【0073】多孔質シリコン102を露出させたところで、この基板を引き続き選択エッチング溶液中に浸し、超音波をかけながら多孔質部分101のみを選択的に全てエッチングした。このとき選択エッチング溶液の組成と単結晶シリコンに対するエッチング速度、 SiO_2 に対するエッチング速度は次のとおり。

【0074】

選択エッチング液=TMAH水溶液(24ppm)

対シリコンエッチング速度=5オングストローム/分

対 SiO_2 エッチング速度=1オングストローム/分以下

この結果透明石英基板上に約0.2 μm の単結晶シリコン膜を備えた基板が完成した。

【0075】(図2(a))液晶表示装置を作成する際の、周辺駆動回路部のトランジスタ部分202を除いて、全ての単結晶シリコン薄膜をプラズマソースによりドライエッチングした。

【0076】(図2(b))パターニングされた単結晶シリコン薄膜202を、貼り合わせ界面の結合強度強化を兼ねて、1000℃のドライ酸素雰囲気中で200オングストローム酸化し、引き続いてLPCVDにより620℃の温度で多結晶シリコン薄膜203を800オングストローム堆積した。

【0077】(図2(c))アクティブマトリックスの画素トランジスタ部分203を除いて、全ての多結晶シリコン膜をドライエッチングした。

【0078】(図2(d))通常のICプロセスを用いて、周辺の駆動用トランジスタ回路204と画素スイッチングトランジスタ205を各々作成した。

【0079】(図2(e))最後に公知の技術であるITOなど透明電極材料によりコンデンサ部分を形成し、透明絶縁膜209で全体を覆い、更に封止材207とガラスカバー208を取り付け、液晶206を封入した。

【0080】以上の工程を全て経ることでアクティブマトリックス液晶表示装置が完成した。

【0081】(実施例2)図1及び2を用いて本発明の実施例2の詳細を説明する。

【0082】(図1(a))から(図1(c))までは、実施例1と同様に行なった。

【0083】(図1(d))エピタキシャルシリコン表面を酸化した基板100と、予め用意しておいた5インチの石英基板110を各々洗浄した後、各々を平行平板電極を有するプラズマ発生装置の電極間にウェハを置き、 $\text{CF}_4 + \text{O}_2$ ガスのプラズマ中で30秒間の処理を行なった。この処理により各々の基板の表面 SiO_2 が活性化された。続いて基板を純水のみで洗浄した後互いの鏡面を貼り合わせた。

【0084】(図1(e))シリコン基板100側を表面研削装置で610 μm 研削し、表面に多孔質シリコン

層101を露出させた。シリコン基板を研削により除去できたのは、前工程の貼り合わせ面の活性化により、熱処理を行なわないにも関わらず極めて結合強度が高いためである。

【0085】露出した多孔質層101はフッ酸/過酸化水素水の1:300の混合液で選択的にエッチングした。選択エッチングに用いた溶液の単結晶シリコン及び SiO_2 に対するエッチング速度は次のとおり。

【0086】対シリコン=3オングストローム/分

対 SiO_2 =6オングストローム/分

この結果透明石英基板上に約0.2 μm の単結晶シリコン膜を備えた基板が完成した。

【0087】(図2(a))続いて実施例1と同様に、周辺の駆動回路部領域のトランジスタ部分の単結晶シリコン膜202を残し、他をエッチングした。

【0088】(図2(b))パターニングされた単結晶シリコン薄膜202を、貼り合わせ界面の結合強度の更なる強化を兼ねて、1000℃のドライ酸素雰囲気中で200オングストローム酸化した。

【0089】引き続いてLPCVDにより550℃の温度でアモルファスシリコン薄膜203を1000オングストローム堆積した。更にアモルファスシリコン膜203にイオン注入装置を用いてシリコンイオンを注入し、膜の完全なアモルファス化をした。次にこの基板を600℃の窒素雰囲気中で50時間アニールし、アモルファスを多結晶化した。この多結晶シリコン膜は、通常のLPCVDで堆積した膜よりも粒径が大きく、トランジスタにした際の移動度他の特性が優れている。

【0090】(図2(c))から(図2(e))に関しては実施例1と同様にして行ない、実施例1に比べより高性能なアクティブマトリックス液晶表示装置が完成した。

【0091】

【発明の効果】以上説明したように、本発明の液晶表示装置は半導体基板上に形成された絶縁層上に単結晶半導体層および非単結晶半導体層とが形成されており、前記単結晶半導体層上および前記非単結晶半導体層上に形成された半導体素子を電気的に接続することで、性能の異なる半導体素子を同一基板上に一体化して形成することが可能となる。このため、実装工程でのコストを大幅に低減することができる。

【0092】また、本発明による液晶表示装置では周辺駆動回路(または制御回路)はSOI素子であるから、従来より高速駆動、高速演算、素子の小型化、高集積化などが可能となる周辺駆動回路(または制御回路)が得られる。以上に示した効果は液晶表示装置の高精細化が進むほど大きくなっていく。

【0093】また、多孔質シリコンを利用した貼り合わせ技術を駆使して、透明絶縁性基板上に単結晶シリコン膜を形成し、この単結晶シリコン上に高駆動能力を必要

とする周辺駆動回路を得ることができる。また、画素部に、光リークに対しても、特性に優れたスイッチング特性を持つ非単結晶シリコントランジスタを形成することで、高性能なアクティブマトリックス型液晶表示装置ができるようになった。

【図面の簡単な説明】

【図1】実施形態1の液晶表示装置の製造工程を表す断面図

【図2】実施形態1の液晶表示装置の製造工程を表す断面図

【図3】陽極化成の工程を表す図

【図4】実施形態2の液晶表示装置を表す断面図

【図5】実施形態2の液晶表示装置の製造工程を表す断面図

【図6】実施形態2の液晶表示装置の製造工程を表す断面図

【図7】実施形態3の液晶表示装置を表す断面図

【図8】実施形態3の液晶表示装置の製造工程を表す断面図

【図9】実施形態3の液晶表示装置の製造工程を表す断面図

【図10】実施形態4の液晶表示装置の製造工程を表す断面図

【図11】実施形態5の液晶表示装置の製造工程を表す断面図

【図12】実施形態5の液晶表示装置の製造工程を表す断面図

【図13】実施形態6の液晶表示装置の製造工程を表す断面図

【図14】実施形態6の液晶表示装置の製造工程を表す断面図

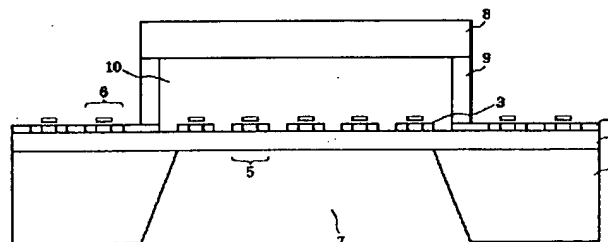
【図15】従来の液晶表示装置の平面図

【符号の説明】

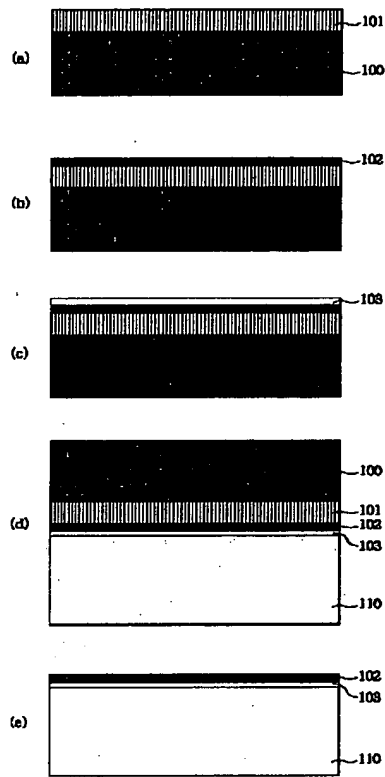
- 1 シリコン基板
- 2 絶縁層
- 3 非晶質シリコン層

- 4 単結晶シリコン層
- 5 非晶質シリコン素子
- 6 単結晶シリコン素子
- 7 開口部
- 8 カバーガラス
- 9 封止材
- 10 液晶
- 11 画素電極
- 12 多結晶シリコン層
- 10 13 多結晶シリコン素子
- 14 SOI基板
- 15 絶縁体
- 16 第1のシリコン基板
- 17 高濃度不純物層
- 18 第2のシリコン基板
- 19 マスク材
- 21 画素スイッチング素子 (TFT)
- 22 バッファ回路
- 23 水平走査回路
- 20 24 垂直走査回路
- 25 表示画素
- 26 基板
- 100、300 単結晶シリコン基板
- 101 多孔質化したシリコン基板
- 102、202 エピタキシャル成長層
- 103 エピ酸化膜
- 110、210、406 透明絶縁性基板
- 304、304' 陽極化成液
- 305、305' 正電極
- 306、306' 負電極
- 401 画素スイッチ
- 402 シフトレジスタのバッファ部
- 403 水平シフトレジスター部
- 404 垂直シフトレジスター部
- 405 液晶画素部

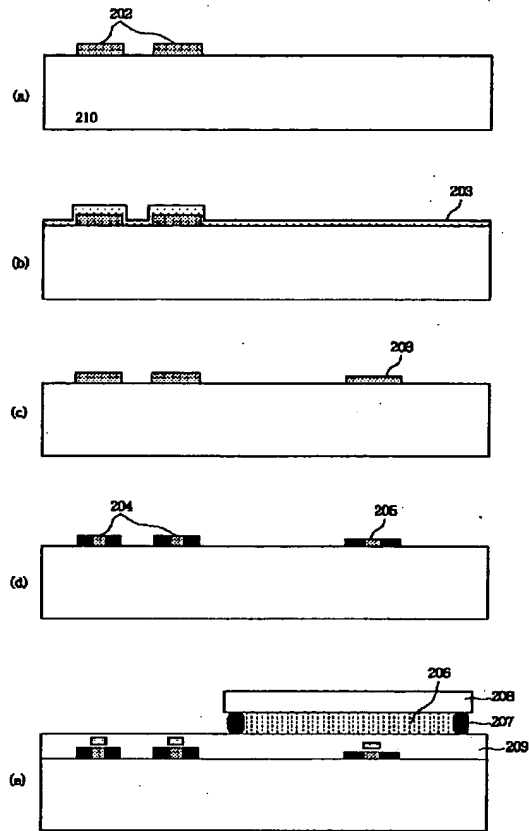
【図4】



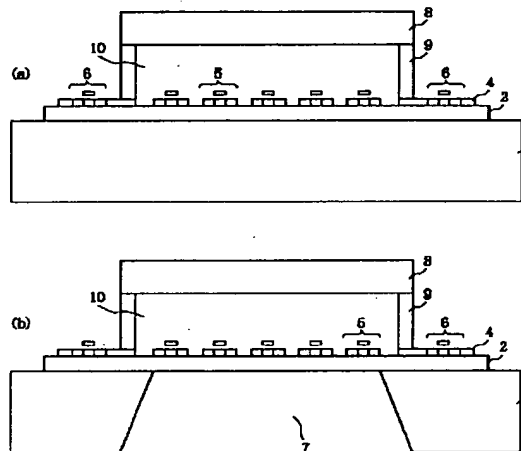
【図1】



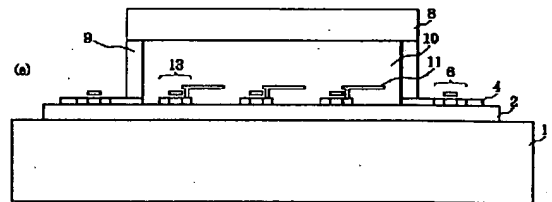
【図2】



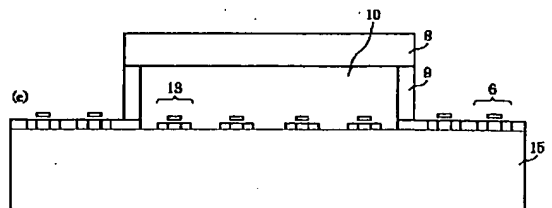
【図6】



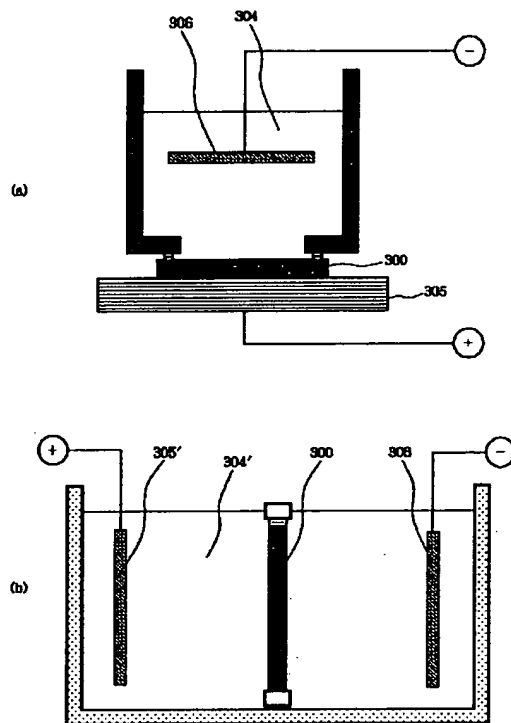
【図9】



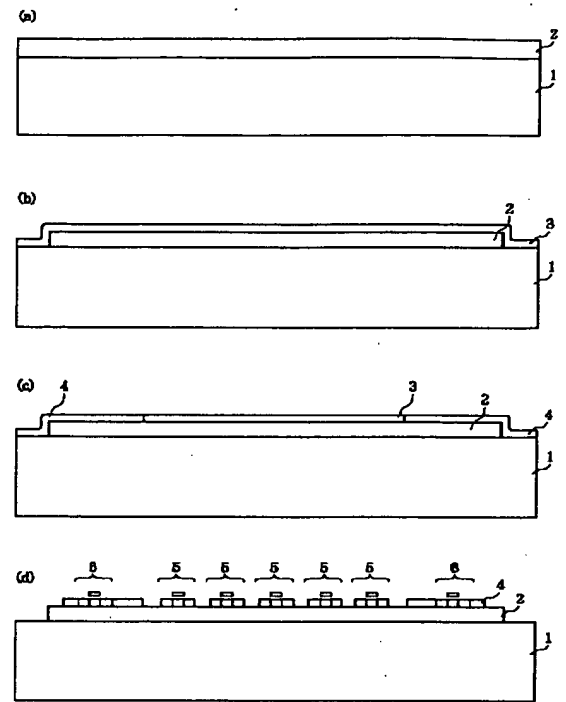
【図12】



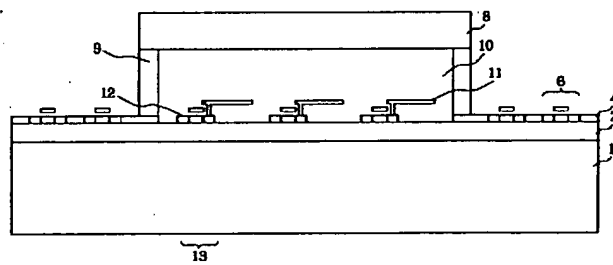
【図3】



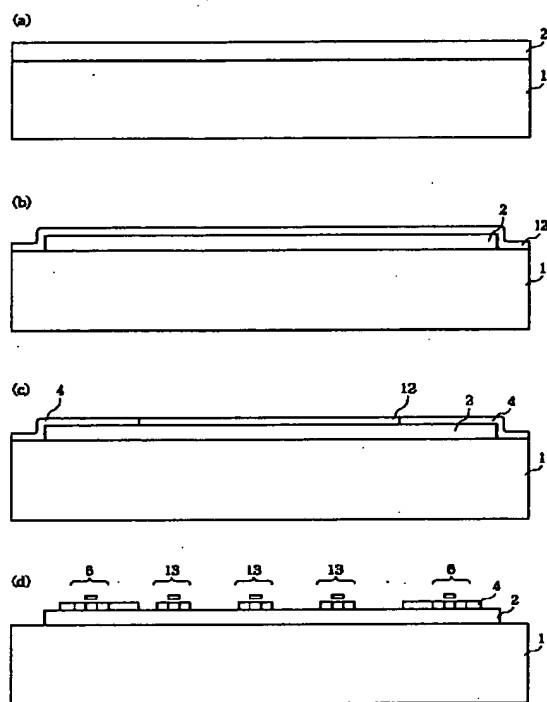
【図5】



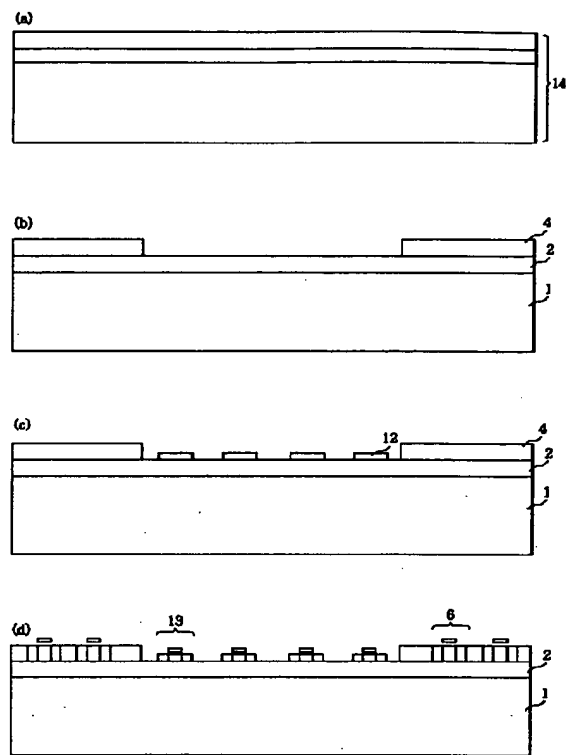
【図7】



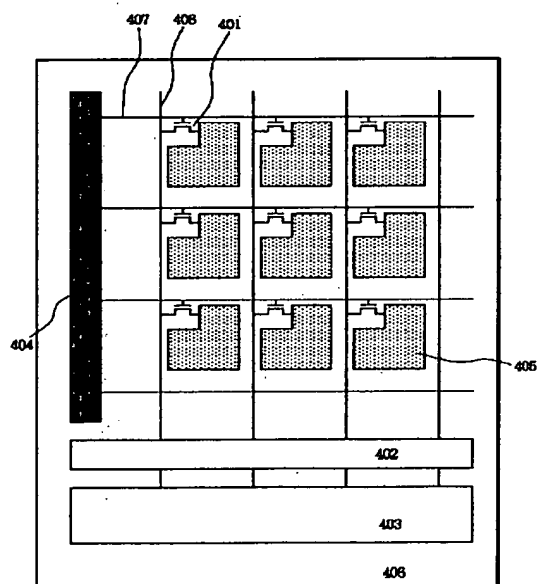
【図8】



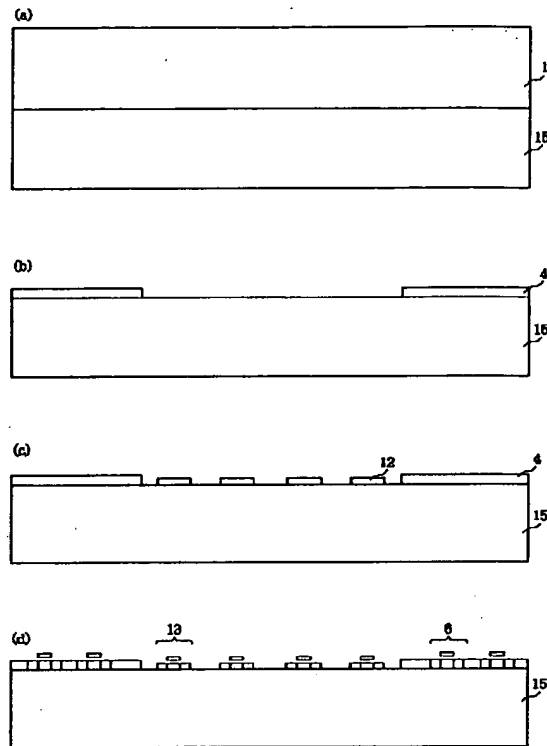
【図10】



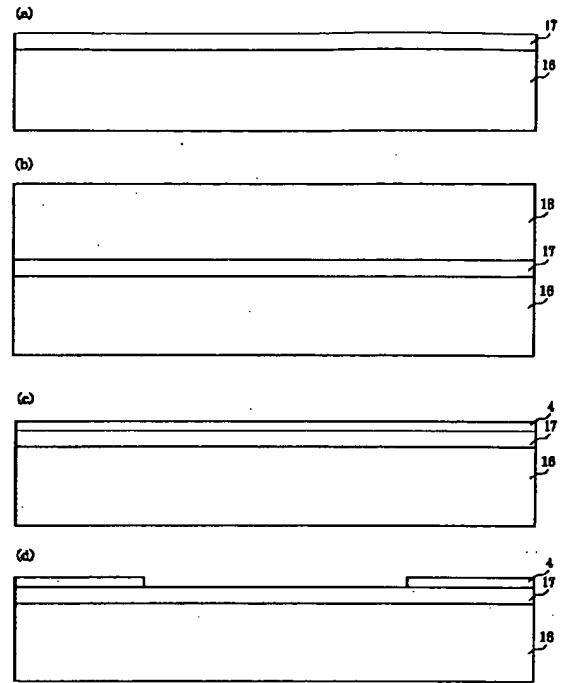
【図15】



【図11】



【図13】



【図14】

